

LAMINATED ELECTRONIC PART

Publication number: JP2002203719 (A)

Publication date: 2002-07-19

Inventor(s): TAKATANI MINORU; ENDO TOSHIICHI

Applicant(s): TDK CORP

Classification:

- international: H01F17/00; H01G4/30; H01P5/10; H05K3/46; H05K3/46; H01F17/00; H01G4/30; H01P5/10; H05K3/46; H05K3/46; (IPC1-7): H05K3/46; H01F17/00; H01G4/30

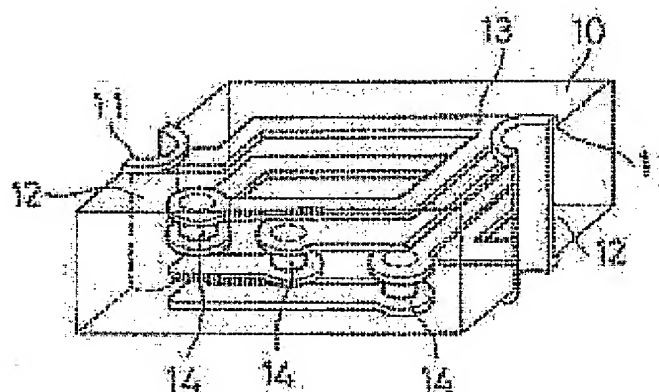
- European:

Application number: JP20000401493 20001228

Priority number(s): JP20000401493 20001228

Abstract of JP 2002203719 (A)

PROBLEM TO BE SOLVED: To provide a laminated electronic part which can be made thinner than a conventional board and is high enough in mechanical strength so as not to cause a trouble in handling. **SOLUTION:** At least, either dielectric material or magnetic material is dispersed into resin, a component layer which contains no glass cloth is provided, the component layer is as thick as 2 to 40 μm , and a conductor layer is transferred onto the component layer by a release sheet for the formation of a laminated electronic part.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-203719

(P2002-203719A)

(43)公開日 平成14年7月19日(2002.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 1 F 17/00		H 0 1 F 17/00	D 5 E 0 7 0
H 0 1 G 4/30	3 0 1	H 0 1 G 4/30	3 0 1 E 5 E 0 8 2
// H 0 5 K 3/46		H 0 5 K 3/46	T 5 E 3 4 6

審査請求 未請求 請求項の数3 O L (全 20 頁)

(21)出願番号 特願2000-401493(P2000-401493)

(22)出願日 平成12年12月28日(2000.12.28)

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 高谷 稔

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72)発明者 遠藤 敏一

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74)代理人 100082865

弁理士 石井 陽一

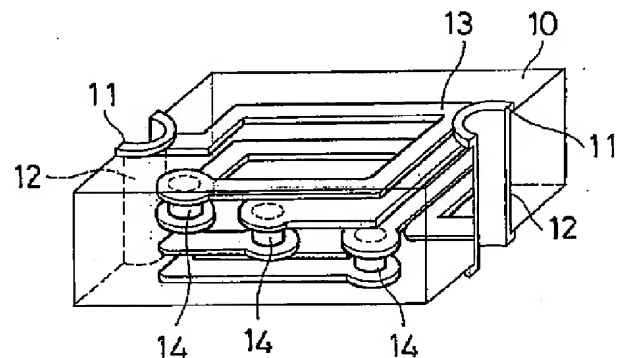
最終頁に続く

(54)【発明の名称】 積層電子部品

(57)【要約】 (修正有)

【課題】 従来の基板よりも薄型化が可能で、ハンドリング時の強度的な問題も生じない積層電子部品を提供する。

【解決手段】 少なくとも誘電体、磁性体のいずれかが樹脂中に分散され、かつガラスクロスを含有しない構成層を有し、この構成層の厚みが2~40μmであり、この構成層は、剥離シートにより導電体層が転写されている構成の積層電子部品とした。



【特許請求の範囲】

【請求項 1】 少なくとも誘電体、磁性体のいずれかが樹脂中に分散され、かつガラスクロスを含む構成層を有し、

この構成層の厚みが $2 \sim 40 \mu\text{m}$ である積層電子部品。

【請求項 2】 前記構成層は、剥離シートにより導電体層が転写されている請求項 1 の積層電子部品。

【請求項 3】 1 種または 2 種以上の難燃剤を含む請求項 1 または 2 の積層電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリプレグおよび基板を用いた積層電子部品や積層回路に関し、特に層間の厚みを薄くすることが可能な積層電子部品に関する。

【0002】

【従来の技術】近年、通信用、民生用、産業用等の電子機器の分野における実装方法の小型化・高密度化への指向は著しいものがあり、それに伴って材料の面でもより優れた耐熱性、寸法安定性、電気特性、成形性が要求されつつある。

【0003】高周波用電子部品もしくは高周波用多層基板としては、焼結フェライトや焼結セラミックを基板状に多層化、成形したものが一般に知られている。これらの材料を多層基板にすることは、小型化が図れるというメリットがあることから従来より用いられてきた。

【0004】しかしながら、これら焼結フェライトや焼結セラミックを用いた場合、焼成工程や厚膜印刷工程数が多く、また、焼成時のクラックや反り等、焼結材料特有の問題が多いことと、プリント基板との熱膨張係数の違い等によるクラックの発生等といった問題が多いことから、樹脂系材料への要求が年々高まっている。

【0005】しかしながら、樹脂系の材料ではそれ自体で十分な誘電率を得ることが極めて困難であり、これと併せて透磁率の向上を図ることも困難である。このため、単に樹脂材料を利用した電子部品では、十分な特性を得ることができず、形状的にも大きなものとなり、小型、薄型化を図ることが困難である。

【0006】また、樹脂材料にセラミック粉末をコンポジットする手法も、例えば特開平 10-270255 号公報、同 11-192620 号公報、同 8-69712 号公報に開示されているが、いずれも十分な誘電率や、これと併せて透磁率を得られてはいない。誘電率を上げるためにセラミック粉末の充填率を上げると、強度が低下し、ハンドリング時や加工時に破損しやすくなるといった問題もあった。

【0007】また、これらの基板は、ガラスクロスなどの補強材料にペーストを含浸させることにより構成されている。このため、ガラスクロスの厚み以下には構成層の厚みを薄くすることができず、しかもガラスクロスと素地間の吸湿による信頼性の面での特性劣化等の問題も

有していた。

【0008】ガラスクロスを用いない基板の構成の例としては、例えば特公平 6-14600 号公報に開示されている。この公報では、PET フィルムに塗布、乾燥することにより、 $150 \mu\text{m}$ 厚のシートを得ている。しかし、この公報の基板はシート厚が $150 \mu\text{m}$ と厚く、しかも電極の形成方法についての記載がみられないため、通常の方法により作製されているものと考え、ハンドリング時、特にエッチング工程での強度面での問題もあり、それ以上の薄型化は困難である。

【0009】特に、近年、携帯機器の急速な発展と普及により、小型、薄型の機器を実現する上で基板の薄型化は極めて重要である。

【0010】

【発明が解決しようとする課題】本発明の目的は、従来の基板よりも薄型化が可能で、ハンドリング時の強度的な問題も生じない積層電子部品を提供することである。

【0011】

【課題を解決するための手段】上記目的は、下記の本発明の構成により達成される。

(1) 少なくとも誘電体、磁性体のいずれかが樹脂中に分散され、かつガラスクロスを含む構成層を有し、この構成層の厚みが $2 \sim 40 \mu\text{m}$ である積層電子部品。

(2) 前記構成層は、剥離シートにより導電体層が転写されている上記 (1) の積層電子部品。

(3) 1 種または 2 種以上の難燃剤を含む上記 (1) または (2) の積層電子部品。

【0012】

【発明の実施の形態】以下、本発明について詳細に説明する。本発明の積層電子部品は、少なくとも誘電体、磁性体のいずれかが樹脂中に分散され、かつガラスクロスを含む構成層を有し、この構成層の厚みを $2 \sim 40 \mu\text{m}$ としたものである。

【0013】このように、ガラスクロスなどの補強部材を包含せず、厚みが $40 \mu\text{m}$ 以下の構成層を有することにより、薄型の積層電子部品を提供することができる。

【0014】このような厚みが $40 \mu\text{m}$ 以下の構成層は、剥離シートにより電極層を転写することにより形成することができる。すなわち、転写シート上に銅箔を固定し、これをエッチングしてパターン形成し、さらにこの銅箔パターンを厚みが $40 \mu\text{m}$ 以下のプリプレグに転写する。このように、あらかじめ転写シートに銅箔を設けてパターンニングすることにより、エッチング工程などで必要とされるプリプレグの強度が不要となり、 $40 \mu\text{m}$ 以下の薄いプリプレグに導体パターンを形成することができる。

【0015】こうして得られた構成層を用いることにより、

(1) 小型で高性能で加工性がよく、比重が軽く、柔軟

性のある積層電子部品、多層回路基板を得ることができる。

(2) 異なった特性を有する材料を多層化しても、高い柔軟性のため、クラック、剥がれ、反りなどの問題が生じ難く高機能の積層電子部品を得ることができる。

(3) 焼成、厚膜印刷等の工程がないため、製造しやすく、不具合の起き難いライン設計が可能となる。

(4) ガラスクロスレスなので信頼性が高く、粉の充填度を上げることができ、高誘電率化、高透磁率化を図ることができる。

(5) エッチングによりパターン形成するので、パターン精度が非常に高くなる。

(6) ガラスクロスを含有しないので、ロット間での特性変動が少ない。

(7) さらに、ガラスクロスを含有する層を積層することにより、容易に強度を増すことができる。

(8) 難燃剤を添加することにより、難燃性を有する積層電子部品とすることもできる。

等といった効果が得られる。

【0016】構成層の厚みは2~40 μm 、好ましくは5~35 μm 、より好ましくは15~25 μm である。構成層の厚みが厚くなると、積層電子部品自体の厚みが増し、小型、薄型の積層電子部品を得られ難くなる。また、コンデンサを形成したときに、所望の容量が得られ難くなる。厚みが薄すぎると強度が低下し、形状を保持することが困難になってくる。

【0017】導電体層の転写に用いられる剥離シートとしては、特に限定されるものではなく、エッチング工程に耐えうる強度と化学的安定性を有し、導電体層の転写に必要な接着性、剥離性を有するものであればよい。具体的には、樹脂フィルム等の支持体上に、接着層を有する構造のものがよい。

【0018】支持体は、例えば、ポリテトラフルオロエチレン、テトラフルオロエチレン-ヘキサフルオロプロピレンコポリマー、テトラフルオロエチレン-パーフロアルキルビニルエーテルコポリマー、テトラフルオロエチレン-エチレンコポリマー、ポリクロロトリフルオロエチレン、ポリフッ化ビニリデン、ポリフッ化ビニルなどのフッ素樹脂からなるプラスチックフィルム、ポリエチレンフィルム、ポリプロピレンフィルム、ポリスチレンフィルム、ポリ塩化ビニルフィルム、ポリエステルフィルム、ポリカーボネートフィルム、ポリイミドフィルム、ポリサルホンフィルム、ポリエーテルサルホンフィルム、ポリアミドフィルム、ポリアミドイミドフィルム、ポリエーテルケトンフィルム、ポリフェニレンスルフィドフィルムなどの公知のプラスチックフィルムが挙げられる。

【0019】なかでも、ポリエチレンテレフタレート(PET)フィルム、二軸延伸ポリプロピレン(OPP)フィルム、メチルペンテンコポリマー(PTX)フ

ィルム、フッ素樹脂フィルムなどが好ましい。なお、フッ素樹脂フィルムは、フッ化エチレン(1F)、3フッ化エチレン(3F)および4フッ化エチレン(4F)からなるフィルムが好ましい。

【0020】これらプラスチックフィルムは、その厚みが約10 μm ~200 μm 、特に約15 μm ~150 μm であることが好ましい。

【0021】接着層は、特に加熱によりその接着力が低下する特性を有することが望ましい。このような接着層として、母材となるベースポリマー中に発泡剤を配合して構成され、加熱により発泡剤が発泡することにより、接着力が低減または消失する特性を有するものが挙げられる。ベースポリマーは、具体的には高弾性ポリマーからなり、特に動的弾性率が常温から150℃において50万~1000万 $\mu\text{N}/\text{cm}^2$ 、好ましくは50万~800万 $\mu\text{N}/\text{cm}^2$ の範囲内にあるものが好ましい。前記の動的弾性率が50万 $\mu\text{N}/\text{cm}^2$ 未満では常温での接着力が大きくて貼り直し性に劣り、加熱処理による接着力の低下性に乏しく、接着力が上昇する場合もある。一方、動的弾性率が1000万 $\mu\text{N}/\text{cm}^2$ を超えると常温での接着性に乏しく、加熱処理時に発泡剤の膨脹ないし発泡が抑制されて接着力が満足に低下しない。

【0022】さらに高弾性ポリマーは、常温から150℃における動的弾性率の変化率が小さいものが好ましい。その変化程度は5倍以内、特に3倍以内が好ましい。高弾性ポリマーを形成するモノマー成分等については特に限定はない。アクリル系感圧接着剤、ゴム系感圧接着剤、スチレン・共役ジエンブロック共重合体系感圧接着剤など、公知の感圧接着剤の調製に用いられるモノマー成分のいずれも用いることができる。

【0023】その具体例としては、メチル基、エチル基、プロピル基、ブチル基、2-エチルヘキシル基、イソオクチル基、イソノニル基、イソデシル基、ドデシル基、ラウリル基、トリデシル基、ペンタデシル基、ヘキサデシル基、ヘプタデシル基、オクタデシル基、ノナデシル基、エイコシル基の如き通例、炭素数が20以下のアルキル基を有するアクリル酸ないしメタクリル酸の如きアクリル酸系アルキルエステル、アクリル酸、メタクリル酸、イタコン酸、アクリル酸ヒドロキシエチル、メタクリル酸ヒドロキシエチル、アクリル酸ヒドロキシプロピル、メタクリル酸ヒドロキシプロピル、N-メチロールアクリルアミド、アクリロニトリル、メタクリロニトリル、アクリル酸グリシジル、メタクリル酸グリシジル、酢酸ビニル、スチレン、イソブレン、ブタジエン、イソブチレン、ビニルエーテルなどがあげられる。また、上記した高弾性ポリマーの条件を満足する天然ゴムや再生ゴムなどもベースポリマーに用いることができる。

【0024】発泡剤は、種々の無機系や有機系の発泡剤を用いることができ、その配合量は接着力を低下させる

程度に応じて適宜に決定してよい。一般には、ベースポリマー100重量部あたり1~100重量部、好ましくは5~50重量部、特に10~40重量部配合される。

【0025】無機系発泡剤の代表例としては、炭酸アンモニウム、炭酸水素アンモニウム、炭酸水素ナトリウム、亜硝酸アンモニウム、水素化ホウ素ナトリウム、アジド類などがあげられる。

【0026】有機系発泡剤の代表例としては、水、トリクロロモノフルオロメタンやジクロロモノフルオロメタン等の塩フッ化アルカン、アゾビスイソブチロニトリルやアゾジカルボンアミド、バリウムアゾジカルボキシレート等のアゾ系化合物、パラトルエンスルホンヒドライドやジフェニルスルホン-3, 3'-ジスルホンヒドライド、4, 4'-オキシビス(ベンゼンスルホンヒドライド)、アリルビス(スルホンヒドライド)等のヒドラジン系化合物、p-トルイレンスルホンセミカルバジドや4, 4'-オキシビス(ベンゼンスルホンセミカルバジド)の如きセミカルバジド系化合物、5-モルホルル-1, 2, 3, 4-チアトリアゾールの如きトリアゾール系化合物、N, N'-ジニトロソペンタメチレンテトラミンやN, N'-ジメチル-N, N'-ジニトロソテレフタルアミド等のN-ニトロソ系化合物などがあげられる。発泡剤をマイクロカプセル化した熱膨張性微粒子は、混合操作が容易であるなどの点により好ましく用いられる。熱膨張性粒子には、マイクロスフェア(商品名、松本油脂社製)などの市販品もある。なお本発明においては、必要に応じて発泡助剤を添加してもよい。なお本発明で用いる接着層の詳細は、熱剥離性粘着剤等として、特開平5-43851号公報および特開平6-306337号公報に記載されている。

【0027】本発明の積層電子部品に用いられる樹脂は特に限定されるものではなく、成形性、加工性、積層時の接着性、電気的特性に優れた樹脂材料の中から適宜選択して用いることができる。具体的には、熱硬化性樹脂、熱可塑性樹脂等が好ましい。

【0028】熱硬化性樹脂としては、エポキシ樹脂、フェノール樹脂、不飽和ポリエステル樹脂、ビニルエステル樹脂、ポリイミド樹脂、ポリフェニレンエーテル(オキサイド)樹脂、ビスマレイミドトリアジン(シアネートエステル)樹脂、フマレート樹脂、ポリブタジエン樹脂、ポリビニルベンジルエーテル樹脂等が挙げられる。熱可塑性樹脂としては、芳香族ポリエステル樹脂、ポリフェニレンサルファイド樹脂、ポリエチレンテレフタレート樹脂、ポリブチレンテレフタレート樹脂、ポリエチレンサルファイド樹脂、ポリエーテルエーテルケトン樹脂、ポリテトラフルオロエチレン樹脂、グラフト樹脂等が挙げられる。これらのなかでも、特にフェノール樹脂、エポキシ樹脂、低誘電率エポキシ樹脂、ポリブタジエン樹脂、BTレジン、ポリビニルベンジルエーテル樹脂等が、ベースレジンとして好ましい。

【0029】これらの樹脂は、単独で用いてもよいし、2種以上を混合して用いてもよい。2種以上を混合して用いる場合の混合比は任意である。

【0030】本発明に用いる誘電体は、セラミックス粉末が好ましく、高周波数帯域において、分散媒となる樹脂よりも大きい比誘電率とQを持つセラミックス粉末であればよく、2種類以上用いてもよい。

【0031】特に本発明に用いるセラミックス粉末は、比誘電率が10~20000、誘電正接が0.05以下のものを使用することが好ましい。

【0032】比較的高い誘電率を得るためには、特に以下の材料を用いることが好ましい。チタン-バリウム-ネオジウム系セラミックス、チタン-バリウム-スズ系セラミックス、鉛-カルシウム系セラミックス、二酸化チタン系セラミックス、チタン酸バリウム系セラミックス、チタン酸鉛系セラミックス、チタン酸ストロンチウム系セラミックス、チタン酸カルシウム系セラミックス、チタン酸ビスマス系セラミックス、チタン酸マグネシウム系セラミックス、CaWO₄系セラミックス、Ba(Mg, Nb)O₃系セラミックス、Ba(Mg, Ta)O₃系セラミックス、Ba(Co, Mg, Nb)O₃系セラミックス、Ba(Co, Mg, Ta)O₃系セラミックス。なお、二酸化チタン系セラミックスとは、二酸化チタンのみを含有するもののほか、他の少量の添加物を含有するものも含み、二酸化チタンの結晶構造が保持されているものをいう。また、他のセラミックスも同様である。特に、二酸化チタン系セラミックスは、ルチル構造を有するものが好ましい。

【0033】誘電率をあまり高くせずに、高いQを得るためには以下の材料を用いることが好ましい。

【0034】シリカ、アルミナ、ジルコニア、チタン酸カリウムウイスカ、チタン酸カルシウムウイスカ、チタン酸バリウムウイスカ、酸化亜鉛ウイスカ、ガラスチョップ、ガラスビーズ、カーボン繊維、酸化マグネシウム(タルク)。

【0035】これらは単独で用いてもよいし2種以上を混合して用いてもよい。2種以上を混合して用いる場合、その混合比は任意である。

【0036】具体的には、比較的高い誘電率を必要としない場合には以下の材料が好ましい。

【0037】Mg₂SiO₄ [ε=7、Q=2000]、Al₂O₃ [ε=9.8、Q=40000]、MgTiO₃ [ε=17、Q=22000]、ZnTiO₃ [ε=26、Q=800]、Zn₂TiO₄ [ε=15、Q=700]、TiO₂ [ε=104、Q=15000]、CaTiO₃ [ε=170、Q=1800]、SrTiO₃ [ε=255、Q=700]、SrZrO₃ [ε=30、Q=1200]、BaTi₂O₇ [ε=42、Q=5700]、BaTi₄O₉ [ε=38、Q=9000]、Ba₂Ti₉O₂₀ [ε=39、Q=900]

0]、 $\text{Ba}_2(\text{Ti}, \text{Sn})_2\text{O}_7$ [$\varepsilon=37$ 、 $Q=5000$]、 ZrTiO_4 [$\varepsilon=39$ 、 $Q=7000$]、 $(\text{Zr}, \text{Sn})\text{TiO}_4$ [$\varepsilon=38$ 、 $Q=7000$]、 $\text{BaNd}_2\text{Ti}_2\text{O}_7$ [$\varepsilon=83$ 、 $Q=2100$]、 $\text{BaSm}_2\text{Ti}_2\text{O}_7$ [$\varepsilon=74$ 、 $Q=2400$]、 Bi_2O_3 - BaO - Nd_2O_3 - TiO_2 系 [$\varepsilon=88$ 、 $Q=2000$]、 PbO - BaO - Nd_2O_3 - TiO_2 系 [$\varepsilon=90$ 、 $Q=5200$]、 $(\text{Bi}_2\text{O}_3, \text{PbO})$ - BaO - Nd_2O_3 - TiO_2 系 [$\varepsilon=105$ 、 $Q=2500$]、 $\text{La}_2\text{Ti}_2\text{O}_7$ [$\varepsilon=44$ 、 $Q=4000$]、 $\text{Nd}_2\text{Ti}_2\text{O}_7$ [$\varepsilon=37$ 、 $Q=1100$]、 $(\text{Li}, \text{Sm})\text{TiO}_3$ [$\varepsilon=81$ 、 $Q=2050$]、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ [$\varepsilon=25$ 、 $Q=35000$]、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ [$\varepsilon=30$ 、 $Q=14000$]、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ [$\varepsilon=41$ 、 $Q=9200$]、 $\text{Sr}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ [$\varepsilon=40$ 、 $Q=4000$]等。

【0038】より好ましくは、以下の組成を主成分とするものである。 TiO_2 、 CaTiO_3 、 SrTiO_3 、 BaO - Nd_2O_3 - TiO_2 系、 Bi_2O_3 - BaO - Nd_2O_3 - TiO_2 系、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_7\text{O}_{20}$ 、 $\text{Ba}_2(\text{Ti}, \text{Sn})_2\text{O}_7$ 系、 MgO - TiO_2 系、 ZnO - TiO_2 系、 MgO - SiO_2 系、 Al_2O_3 等。

【0039】一方、比較的高い誘電率を必要とする場合には以下の材料が好ましい。

【0040】 BaTiO_3 [$\varepsilon=1500$]、 $(\text{Ba}, \text{Pb})\text{TiO}_3$ 系 [$\varepsilon=6000$]、 $\text{Ba}(\text{Ti}, \text{Zr})\text{O}_3$ 系 [$\varepsilon=9000$] ($\text{Ba}, \text{Sr})\text{TiO}_3$ 系 [$\varepsilon=7000$]。

【0041】より好ましくは、以下の組成を主成分とする誘電体の粉末から選択される。 BaTiO_3 、 $\text{Ba}(\text{Ti}, \text{Zr})\text{O}_3$ 系。

【0042】セラミクス粉末は単結晶或多結晶の粉末でもよい。

【0043】セラミクスの含有量は、樹脂とセラミクス粉末との合計量を100体積%としたとき、セラミクス粉末の含有量は10体積%以上65体積%未満であり、好ましくは20体積%以上60体積%以下の範囲である。

【0044】セラミクス粉末が65体積%以上であると緻密な組成物が得られなくなる。また、セラミクス粉末を添加しない場合に比べて、 Q が大きく低下することもある。一方、セラミクス粉末が10体積%未満であると、セラミクス粉末を含有する効果がありみられない。

【0045】本発明の積層電子部品は、各成分を上記の範囲内で適宜設定することにより、樹脂単体から得られる誘電率よりも大きくすることができ、必要に応じた比誘電率と高い Q を得ることが可能となる。

【0046】誘電体は、円形や楕円形でも破碎粉のよう

に不定型であってもよい。投影形状が円形である球状のものの平均粒径は、 $0.1 \sim 40 \mu\text{m}$ 、特に $0.5 \sim 20 \mu\text{m}$ が好ましい。

【0047】平均粒径が $0.1 \mu\text{m}$ より小さいと、粒子の表面積が増大し、分散、混合時の粘度、チクソ性が上昇し、高充填率化が困難となり、樹脂との混練がし難くなってくる。逆に $40 \mu\text{m}$ より大きいと、均一な分散・混合を行うことが困難となり、沈降が激しくなって不均一となり、粉末の含有量が多い組成の成形の際に、緻密な成型体を得られ難くなる。

【0048】破碎粉を用いる場合、粒径は $0.01 \sim 40 \mu\text{m}$ 、特に $0.01 \sim 35 \mu\text{m}$ であることが好ましく、平均粒径は $1 \sim 30 \mu\text{m}$ であることが好ましい。このような粒径とすることによって、破碎粉の分散性が良好となる。これに対し、破碎粉の粒径がこれより小さいと、比表面積が大きくなり、高充填率化が困難になってくる。一方、これより大きくなるとペースト化した際に沈降し易くなり、均一に分散しにくくなってくる。また、肉薄の基板、ブリフレグを形成しようとした場合に、表面の平滑性を得ることが困難になってくる。粒径をあまり小さくすることは実際上困難であり、 $0.01 \mu\text{m}$ 程度が限度である。

【0049】これらを粉末にするための手段は、粉碎、造粒など公知の方法に従えばよい。

【0050】また、円形状の誘電体に加えて破碎粉を含有していてもよい。誘電体破碎粉を含有することにより、さらに充填率を向上させることができる。

【0051】本発明の積層電子部品は、誘電体とは別に、あるいは誘電体に加えて1種または2種以上の磁性体を含有していてもよい。

【0052】磁性体材料であるフェライトとしては、 Mn-Mg-Zn 系、 Ni-Zn 系、 Mn-Zn 系などであり、特にこれらの単結晶、あるいは Mn-Mg-Zn 系、 Ni-Zn 系などが好ましい。

【0053】磁性体材料である強磁性金属としては、カーボニール鉄、鉄-シリコン系合金、鉄-アルミ-珪素系合金（商標名：センダスト）、鉄-ニッケル系合金（商標名：パーマロイ）、アモルファス系（鉄系、コバルト系）などが好ましい。

【0054】これらを粉末にするための手段は、粉碎、造粒など公知の方法に従えばよい。

【0055】磁性体材料粉の粒径や形状は、上記誘電体材料と同様であり、誘電体と同様に表面が平滑な材料が好ましいが、破碎粉を用いてもよい。破碎粉を用いる効果は上記と同様である。

【0056】さらに、種類、粒度分布の異なる磁性体材料粉を2種以上用いてもよい。その際の混合比は任意であり、用途により用いる材料、粒度分布、混合比を調整すればよい。

【0057】磁性体材料粉の透磁率 μ は $10 \sim 1000$

000であることが好ましい。また、バルクの絶縁性は高い方が基板化した際の絶縁性が向上して好ましい。

【0058】樹脂と磁性体材料粉との混合比としては、形成される構成層全体の透磁率が3~20となるように添加されることが好ましい。特に成形するペースト段階で、樹脂と磁性材料粉との比率で示した場合、磁性材料粉の含有量は10~65体積%、特に20~60体積%であることが好ましい。このような磁性材料粉の含有量とすることで、構成層全体の透磁率が3~20となり、所望の電気特性が得られ易くなる。これに対し、磁性材料粉の含有量が多くなると、誘電率が低下し、スラリ化して塗工することが困難になり、積層電子部品の作製が困難になる。一方、磁性材料粉の含有量が少なくなると透磁率を確保できなくなる場合があり、電気特性を付与することが困難となる。

【0059】本発明に用いられる難燃剤としては、通常基板の難燃化のために用いられている種々の難燃剤を用いることができる。具体的には、ハロゲン化リン酸エステル、ブロム化エポキシ樹脂等のハロゲン化物、また、リン酸エステルアミド系等の有機化合物や、三酸化アンチモン、水素化アルミニウム等の無機材料を用いることができる。

【0060】使用する金属箔としては、金、銀、銅、アルミニウムなど導電率の良好な金属のなかから好適なものを用いればよい。これらのなかでも特に銅が好ましい。

【0061】金属箔を作製する方法としては、電解、圧延法等種々の公知の方法を用いることができるが、箔ビール強度をとりたい場合には電解箔を、高周波特性を重視したい場合には、表面凹凸による表皮効果の影響の少ない圧延箔を使用するとよい。

【0062】金属箔の厚みとしては、9~32 μm が好ましく、薄型化を考えると5~18 μm が好ましい。

【0063】本発明の積層電子部品は、上記ガラスクロスレス構成層に加えて、ガラスクロス等の強化繊維を含有する構成層を有していてもよい。強化繊維を含有する構成層を有することにより、積層電子部品全体の強度を向上させることができる。

【0064】このようなガラスクロス含有構成層に用いられるガラスクロス等の強化繊維は、目的・用途に応じて種々のものであってよく、市販品をそのまま用いることができる。このときの強化繊維は、電気的な特性に応じてEガラスクロス($\epsilon=7$ 、 $\tan\delta=0.003$ 、1GHz)、Dガラスクロス($\epsilon=4$ 、 $\tan\delta=0.0013$ 、1GHz)、Hガラスクロス($\epsilon=11$ 、 $\tan\delta=0.003$ 、1GHz)等を使い分けてもよい。また、層間密着力向上のため、カップリング処理などを行ってもよい。その厚さは100 μm 以下、特に20~60 μm であることが好ましい。布重量としては、120g/m²以下、特に20~70g/m²が好ましい。

【0065】また、樹脂とガラスクロスとの配合比は、重量比で、樹脂/ガラスクロスが4/1~1/1であることが好ましい。このような配合比とすることによって本発明の効果が向上する。これに対し、この比が小さくなって、エポキシ樹脂量が少なくなると銅箔との密着力が低下し、基板の平滑性に問題が生じる。逆にこの比が大きくなって、エポキシ樹脂量が多くなると使用できるガラスクロスの選択が困難となり、薄肉での強度の確保が困難となる。

10 【0066】本発明では2種以上の異なる構成層を用いた積層体により、積層電子部品を構成してもよい。また、各構成層に2種以上の異なる分散材料を含有させてもよい。このように2種以上の種類の異なる構成層を組み合わせたか、2種以上の異なる粉体、また同種であっても組成、電気(誘電率等)、磁気特性の異なる粉体と樹脂とを混合することによって、誘電率や透磁率の調整が容易となり、各種電子部品に合わせた特性に調整することができる。特に、波長短縮効果のある誘電率や透磁率を最適な値にすることにより、装置の小型化、薄型化が実現できる。また、比較的周波数の低い領域で良好な電気特性が得られる材料と、比較的周波数の高い領域で良好な電気特性が得られる材料とを組み合わせることにより、広い周波数帯域で良好な電気特性を得ることができる。

20 【0067】また、このようなハイブリッド層を用いて多層回路基板、積層電子部品を形成する場合、接着剤等を用いることなく、銅箔との接着やパターニングが実現でき、かつ多層化を実現することができる。こうしたパターニングや多層化処理は、通常の基板製造工程と同じ工程でできるので、コストダウンおよび作業性の改善を図ることができる。また、このようにして得られる基板による積層電子部品は、高強度で、高周波特性の向上したものである。

30 【0068】また、誘電率を高めることで波長短縮効果が得られる。すなわち、基板上での実行波長 λ は、
$$\lambda = \lambda_0 / (\epsilon \cdot \mu)^{1/2}$$
で与えられる。ここで、 λ_0 は実際の波長、 ϵ 、 μ は積層電子部品や多層回路基板の誘電率、透磁率である。従って、例えば $\lambda/4$ の積層電子部品、多層回路基板を設計する場合、その回路を構成する部材の ϵ 、 μ を高めることで、長さ $\lambda/4$ が必要な部分を、 ϵ 、 μ の積の平方根で除した値だけ小さくすることができる。従って、積層電子部品、基板材料の少なくとも ϵ を高めることにより積層電子部品、多層回路基板の大きさを小さくすることができる。

40 【0069】また、比較的周波数の低い領域で良好な電気特性が得られる材料と、比較的周波数の高い領域で良好な電気特性が得られる材料とを組み合わせることにより、広い周波数帯域、具体的には1~2000MHz、特に50~1000MHzの広い周波数帯域で良好なHPF

等の電気特性を得ることができる。

【0070】具体的には、波長短縮効果だけを考えた場合、高誘電率材を樹脂材料に混合することにより目的を達成することが可能である。しかし、このような高誘電率材は高周波特性がさほど優れていないため、これを補う必要がある。そこで、高誘電率材、例えばBaTiO₃、BaZrO₃等と共に、高周波特性に優れた磁性材料、例えばカーボニール鉄等を併用することにより、高周波領域においても所望の特性を得ることができる。

【0071】このような、波長短縮と高周波特性の必要な電子部品としては、積層フィルタ、バルントランス、誘電体フィルタ、カプラ、アンテナ、VCO（電圧制御発振器）、RF（高周波）ユニット、共振器等を挙げることができる。

【0072】さらに、ある材料を用いて一つの電気的特性を高めたとき、他の材料により不足した電気特性を補うことができる。

【0073】本発明において、積層電子部品の基礎となるプリブレグを得るには、所定の配合比とした誘電体材料、磁性体材料と樹脂、必要により難燃剤とを含み、溶剤に混練してスラリー化したペーストを塗布して、乾燥（Bステージ化）する工程に従う。この場合に用いられる溶剤は揮発性溶剤が好ましく、極性中性溶媒が特に好ましく、ペーストの粘度を調整し塗工しやすくする目的で用いられる。混練はボールミル、攪拌等により公知の方法によって行えばよい。ペーストを金属箔上に塗工、またはガラスクロス上に含浸することにより、形成することができる。

【0074】プリブレグの乾燥（Bステージ化）は、含有する誘電体材料粉、磁性体材料粉、難燃剤の含有量などにより適宜調整すればよい。乾燥、Bステージ化した後の厚みは20μm以下が好ましく、その用途や要求される特性（パターン幅および精度、直流抵抗）等により最適な膜厚に調整すればよい。

【0075】積層電子部品の構成層となる基板、およびプリブレグは、塗工法や、材料を混練し、固体状とした混練物を成型することによっても得ることができる。

【0076】混練は、ボールミル、攪拌、混練機などの公知の方法で行えばよい。その際、必要により溶媒を用いてもよい。また、必要に応じてベレット化、粉末化してもよい。

【0077】この場合に得られるプリブレグの厚みとしては、40μm以下程度である。プリブレグの厚みは、所望する板厚、誘電体材料粉、磁性体材料粉の含有率に応じて適宜調整すればよい。

【0078】本発明の積層電子部品は、図45、46に示すような方法により製造することができる。

【0079】まず、図45の工程Aに示されるように、所定厚さの転写フィルム103に所定厚さの導電体層である銅（Cu）箔102を重ねて接着させる。次に、工

程Bに示すように、銅箔102を所望のパターン形状にパターンニングする。次に、工程Cに示すように、一対のパターン形成された銅箔102を有する転写フィルム103を、プリブレグ101を挟んで上下に配置する。そして、工程Dに示すように、上下の転写フィルム103側から、プリブレグ101方向に加熱圧着（ラミネート）する。このとき、好ましい態様では、加熱により転写フィルムの発泡性接着層が膨張し、転写フィルムから銅箔が剥離しやすくなる。このときの、加熱・加圧条件としては、温度：90～170℃、特に115～125℃、圧力：静水圧加圧換算で5～30kq/m²、特に10～15kq/m²、処理時間20～30分間程度である。

【0080】次に、図46の工程Eに示すように、転写フィルム103を剥離すると、両面銅箔102付プリブレグ101が得られる。さらに、工程Fに示すように、必要によりこのプリブレグ101を挟んで上下に他のプリブレグ101aを配置し、工程Gに示すようにプリブレグ101方向に加熱圧着（ラミネート）することにより、内部導体パターン102を有する積層電子部品が得られる。

【0081】本発明の積層電子部品は、コンデンサ（キャパシタ）、コイル（インダクタ）、フィルター等の他、これらと、あるいはそれ以外に配線パターン、増幅素子、機能素子を組み合わせ、アンテナや、RFモジュール（RF増幅段）、VCO（電圧制御発振回路）、パワーアンプ（電力増幅段）等の高周波電子回路、光ピックアップなどに用いられる重畳モジュール等の高周波用電子部品を得ることができる。

【0082】

【実施例】以下、本発明の具体的実験例、実施例を示し、本発明をさらに詳細に説明する。

【0083】＜実施例1＞図1、図2は、本発明の第1の実施態様であるインダクタを示した図であり、図1は透視斜視図、図2は断面図を表している。

【0084】図において、インダクタ10は本発明の樹脂を有する構成層（プリブレグないし基板）10a～10eと、この構成層10b～10e上に形成されている内部導体（コイルパターン）13と、この内部導体13を電気的に接続するためのピアホール14とを有する。このピアホール14はドリル、レーザー加工、エッチング等により形成することができる。また、形成されたコイルの終端部は、それぞれインダクタ10の端面に形成された貫通ビア12とそれから僅かに上下面方向に形成されたランドパターン11と接続されている。貫通ビア12は、ダイシング、Vカット等により、半分に切断された構造となっている。これは、集合基板で複数の素子を形成し、最終的に個片に切断する際に貫通ビア12の中心から切断するためである。

【0085】このインダクタ10の構成層10a～10eの少なくともいずれかには、少なくとも厚みが2～4

10

20

30

40

50

0 μm であるガラスクロスレス構成層を有する。この構成層には、さらに、電気特性や磁気特性を調整するために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。なお、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

【0086】チップインダクタとしては、L 値を大きくするために、ベース基板の透磁率を大きくする必要があり、また、EMC 対策用として、ビーズを使用する場合、インピーダンスを高くとるためにはできるだけ透磁率を上げる必要がある。また、層間、すなわち構成層を薄くし、漏れ電流を減らすことと、同形状で巻数（ターン数）を増やすことで L 値を上げることができる。従って、少なくとも厚みが 2~20 μm であるガラスクロスレスの構成層に、さらに、電気特性や磁気特性を調整するために磁性体粉を含有させることで、小型で L 値が高い、あるいはインピーダンスが高いチップインダクタが得られる。

【0087】また、高周波用のチップインダクタとしての用途を考えたとき、分布容量をできるだけ減らす必要があることから比誘電率を 2.6~3.5 とすることが好ましい。また、共振回路を構成するインダクタにおいては、積極的に分布容量を用いる場合があり、このような用途では比誘電率を 5~40 とすることが好ましい。このようにすることで、素子の小型化、容量素子の省略を図ることができる。また、このインダクタにおいては、材料の損失をできるだけ抑える必要がある。このため、誘電正接 ($\tan\delta$) を 0.0025~0.0075 とすることにより、材料損失の極めて少ない、Q の高いインダクタを得ることができる。さらに、ノイズ除去のための用途を考えた場合、除去したいノイズの周波数でインピーダンスをできるだけ大きくする必要がある。このような場合には透磁率を 3~20 と調整することが好ましい。これにより、高周波ノイズの除去効果を飛躍的に向上させることができる。また、各構成層は同一でも異なっているとしてもよく、最適な組み合わせを選択すればよい。

【0088】なお、その等価回路を図 10 (a) に示す。図 10 (a) に示されるように、等価回路ではコイル 31 を有する積層電子部品（インダクタ）となっている。

【0089】＜実施例 2＞図 3、図 4 は、本発明の第 2 の実施態様であるインダクタを示した図であり、図 3 は透視斜視図、図 4 は断面図を表している。

【0090】この例では、実施例 1 において上下方向に巻回されていたコイルパターンを、横方向に巻回したヘリカル巻とした構成態様を表している。その他の構成要素は実施例 1 と同様であり、同一構成要素には同一符号

を付して説明を省略する。

【0091】＜実施例 3＞図 5、図 6 は、本発明の第 3 の実施態様であるインダクタを示した図であり、図 5 は透視斜視図、図 6 は断面図を表している。

【0092】この例では、実施例 1 において上下方向に巻回されていたコイルパターンを、上下面でのスパイラルを連結した構成態様としたものを表している。その他の構成要素は実施例 1 と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0093】＜実施例 4＞図 7、図 8 は、本発明の第 4 の実施態様であるインダクタを示した図であり、図 7 は透視斜視図、図 8 は断面図を表している。

【0094】この例では、実施例 1 において上下方向に巻回されていたコイルパターンを、内部に形成されたミアンダー状のパターンとして構成したものを表している。その他の構成要素は実施例 1 と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0095】＜実施例 5＞図 9 は本発明の第 5 の実施態様であるインダクタを示した透視斜視図である。

【0096】この例では、実施例 1 において単独で構成されていたコイルを、4 連とした態様を表している。このような構成とすることにより、省スペース化を図ることができる。その他の構成要素は実施例 1 と同様であり、同一構成要素には同一符号を付して説明を省略する。なお、その等価回路を図 10 (b) に示す。図 10 (b) に示されるように、等価回路ではコイル 31a~31d が 4 連装された積層電子部品（インダクタ）となっている。

【0097】＜実施例 6＞図 11、図 12 は、本発明の第 6 の実施態様であるキャパシタ（コンデンサ）を示した図であり、図 11 は透視斜視図、図 12 は断面図を表している。

【0098】図において、キャパシタ 20 は本発明の樹脂を有する構成層（プリプレグないし基板）20a~20g と、この構成層 20b~20g 上に形成されている内部導体（内部電極パターン）23 と、この内部導体 23 とそれぞれ交互に接続されるキャパシタの端面に形成された貫通ビア 22 とそれから僅かに上下方向に形成されたランドパターン 21 とから構成されている。

【0099】このキャパシタ 20 の構成層 20a~20g の少なくともいずれかには、少なくとも厚みが 2~40 μm であるガラスクロスレス構成層を有する。この構成層には、さらに、電気特性や磁気特性を調整するために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。なお、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

【0100】チップコンデンサを小型化するにあたって

10

20

30

40

50

は、対向電極の層間の誘電率を上げる必要がある。また、容量を得るためには層間、すなわち構成層はできるだけ薄い方がよい。従って、少なくとも厚みが2~40 μm であるガラスクロスレスの構成層に、さらに、電気特性や磁気特性を調整するために誘電体粉を含有させることで、小型でC値が高いチップコンデンサが得られる。

【0101】また、得られる容量の多様性や精度の点を考慮すると比誘電率2.6~40、誘電正接0.0025~0.025であることが好ましい。これにより、得られる容量の範囲が広がり、低い容量値でも高精度に形成できる。また、材料の損失をできるだけ抑える必要がある。このため、誘電正接 ($\tan\delta$) を0.0025~0.025とすることにより、材料損失の極めて少ないキャパシタとすることができる。また、各構成層は同一でも異なっているように、最適な組み合わせを選択すればよい。

【0102】なお、その等価回路を図14(a)に示す。図14(a)に示されるように、等価回路ではキャパシタ32を有する積層電子部品(コンデンサ)となっている。

【0103】<実施例7>図13は本発明の第7の実施態様であるキャパシタを示した透視斜視図である。

【0104】この例では、実施例6において単独で構成されていたキャパシタを、複数アレイ状に並べて4連とした態様を表している。また、キャパシタをアレイ状に形成する場合、様々な容量を精度よく形成する場合がある。このため、上記誘電率、誘電正接の範囲が好ましいといえる。その他の構成要素は実施例6と同様であり、同一構成要素には同一符号を付して説明を省略する。なお、その等価回路を図14(b)に示す。図14(b)に示されるように、等価回路ではキャパシタ32a~32dが4連装された積層電子部品(コンデンサ)となっている。

【0105】<実施例8>図15~図18は、本発明の第8の実施態様を示したバルントランスを示している。ここで図15は透過斜視図、図16は断面図、図17は各構成層の分解平面図、図18は等価回路図である。

【0106】図15~17において、バルントランス40は、構成層40a~40oが積層された積層体の上下および中間に配置された内部GND導体45と、この内部GND導体45間に形成されている内部導体43を有する。この内部導体43は、 $\lambda q/4$ 長のスパイラル状導体43を、図17の等価回路に示される結合ライン53a~53dを構成するようにピアホール44等で連結している。

【0107】このバルントランス40の構成層40a~40oの少なくともいずれかには、少なくとも厚みが2~40 μm であるガラスクロスレス構成層を有する。この構成層には、さらに、電気特性や磁気特性を調整する

ために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。なお、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

【0108】バルントランスを設計するにあたって小型化を考えると、比誘電率はできるだけ高い方がよい。また、同様に層間、すなわち構成層はできるだけ薄い方がよい。従って、少なくとも厚みが2~40 μm であるガラスクロスレスの構成層に、さらに、電気特性や磁気特性を調整するために誘電体粉を含有させることで、小型で高性能のバルントランスが得られる。

【0109】また、ある用途によっては比誘電率を2.6~40とし、誘電正接 ($\tan\delta$) を0.0025~0.025とすることが好ましい。また、他の用途によっては透磁率を3~20とすることが好ましい。なお、各構成層は同一でも異なっているように、最適な組み合わせを選択すればよい。

【0110】<実施例9>図19~図22は、本発明の第9の実施態様を示した積層フィルタを示している。ここで図19は斜視図、図20は分解斜視図、図21は等価回路図、図22は伝達特性図である。なお、この積層フィルタは2ポールとして構成されている。

【0111】図19~21において、積層フィルタ60は、構成層60a~60eが積層された積層体のほぼ中央に一对のストリップ線路68と、一对のコンデンサ導体67とを有する。コンデンサ導体67は下部構成層群60d上に形成され、ストリップ線路68はその上の構成層60c上に形成されている。構成層60a~60eの上下端部にはGND導体65が形成されていて、前記ストリップ線路68とコンデンサ導体67とを挟み込むようになっている。コンデンサ導体67はそれぞれ端面に形成された端部電極(外部端子)62とそれから僅かに上下面方向に形成されたランドパターン61と接続されている。また、その両側面およびそこから僅かに上下面方向に形成されたGNDパターン66はGND導体65と、各ストリップ線路68の一方端とが接続されている。

【0112】ストリップ線路68は、図21の等価回路図に示される $\lambda q/4$ 長またはそれ以下の長さを有するストリップ線路74a、74bであり、コンデンサ導体67は入出力結合容量Ciを構成する。また、それぞれのストリップ線路74a、74b間は、結合容量Cmおよび結合係数Mにより結合されている。このような等価回路により、図22に示すような2ポール型の伝達特性を有する積層フィルタを得ることができる。

【0113】この積層フィルタ60の構成層60a~60eの少なくともいずれかには、少なくとも厚みが2~40 μm であるガラスクロスレス構成層を有する。この

構成層には、さらに、電気特性や磁気特性を調整するために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。また、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

【0114】積層フィルタを設計するにあたり、小型化を考えると、比誘電率はできるだけ高い方がよい。また、同様に層間、すなわち構成層はできるだけ薄い方がよい。従って、少なくとも厚みが2~40 μm であるガラスクロスレスの構成層に、さらに、電気特性や磁気特性を調整するために誘電体粉を含有させることで、小型で高性能の積層フィルタが得られる。

【0115】また、比誘電率を2.6~4.0とすることにより、数100MHzから数GHzの帯域において、所望の伝達特性が得られるようになる。また、ストリップライン共振器の材料損失はできるだけ抑えることが望ましく、誘電正接 ($\tan\delta$) を0.0025~0.0075とすることが好ましい。

【0116】<実施例10>図23~図26は、本発明の第10の実施態様を示した積層フィルタを示している。ここで図23は斜視図、図24は分解斜視図、図25は等価回路図、図26は伝達特性図である。なお、この積層フィルタは4ボールとして構成されている。

【0117】図23~26において、積層フィルタ60は、構成層60a~60eが積層された積層体のほぼ中央に4つのストリップ線路68と、一対のコンデンサ導体67とを有する。その他の構成要素は実施例9と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0118】<実施例11>図27~図31は、本発明の第11の実施態様を示したカブラを示している。ここで図27は透過斜視図、図28は断面図、図29は各構成層の分解平面図、図30は内部結線図、図31は等価回路図である。

【0119】図27~31において、カブラ110は、構成層110a~110cが積層された積層体の上下に形成、配置された内部GND導体115と、この内部GND導体115間に形成されている内部導体113を有する。この内部導体113は、2つのコイルによりトランスが構成されるようにスパイラル状にピアホール114等で連結している。また、形成されたコイルの終端と、内部GND導体115とは、図27に示すように、それぞれ端面に形成された貫通ビア112とそれから僅かに上下面方向に形成されたランドパターン111と接続されている。このように構成することにより、図31の等価回路図で示すように、2つのコイル125a、125bが結合したカブラ110が得られる。

【0120】このカブラ110の構成層110a~11

0cの少なくともいずれかには、少なくとも厚みが2~40 μm であるガラスクロスレス構成層を有する。この構成層には、さらに、電気特性や磁気特性を調整するために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。また、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

10 【0121】カブラを設計するにあたり、小型化を考えると、比誘電率はできるだけ高い方がよい。また、同様に層間、すなわち構成層はできるだけ薄い方がよい。従って、少なくとも厚みが2~40 μm であるガラスクロスレスの構成層に、さらに、電気特性や磁気特性を調整するために誘電体粉を含有させることで、小型で高性能のカブラが得られる。なお、広帯域化を実現しようとした場合、比誘電率はできるだけ小さい方が好ましい。

20 【0122】また、用途や、要求される性能、仕様等によりそれに適した誘電率の材料を用いればよい。通常、比誘電率を2.6~4.0とすることにより、数100MHzから数GHzの帯域において、所望の伝達特性が得られるようになる。また、内部インダクタのQ値を上げるために、誘電正接 ($\tan\delta$) を0.0025~0.0075とすることが好ましい。これにより、材料損失が極めて少なく、Q値の高いインダクタを形成でき、高性能のカブラを得ることができる。

30 【0123】<実施例12>図32~図34は、本発明の第12の実施態様を示したVCO（電圧制御発振器）を示している。ここで図32は透過斜視図、図33は断面図、図34は等価回路図である。

【0124】図32~34において、VCOは、構成層210a~210gが積層された積層体の上に形成、配置されたコンデンサ、インダクタ、半導体、レジスタ等の電子部品261と、この構成層210a~210g中およびその上下面に形成されている導体パターン262、263、264を有する。このVCOは図34に示すような等価回路により構成されているため、ストリップライン263、コンデンサ、信号線、半導体、電源ラインなどを有する。このため、それぞれの機能に適した材料で構成層を形成するのが効果的である。

40 【0125】この例では、構成層210a~210gの少なくともいずれかには、少なくとも厚みが2~40 μm であるガラスクロスレス構成層を有する。この構成層には、さらに、電気特性や磁気特性を調整するために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。また、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

【0126】特に、コンデンサ構成層210c~210eに上記ガラスクロスレス構成層を用いることで、構成層の厚みを極端に薄くすることができ、VCOをより小型にすることができる。

【0127】共振器を構成する構成層210f, 210gでは誘電正接が0.0025~0.0075の構成層を用いることが好ましい。コンデンサ構成層210c~210eには、誘電正接が0.0075~0.025、比誘電率が5~40となるような構成層を用いることが好ましい。配線、およびインダクタ構成層210a, 210bには、誘電正接が0.0025~0.0075、比誘電率が2.6~5.0の誘電体層を用いることが好ましい。

【0128】そして、上記構成層210a~210gの表面には、内部導体であるストリップライン263、GND導体262、コンデンサ導体264、配線インダクタ導体265、および端子導体266を構成する。また、それぞれの内部導体はビアホール214により上下に接続され、表面にはマウントされた電子部品261が搭載されて図34の等価回路に示すようなVCOが形成される。

【0129】このように構成することにより、それぞれの機能に適した誘電率、Q、誘電正接とすることができ、高性能化、小型、薄型化が可能となる。

【0130】<実施例13>図35~図37は、本発明の第13の実施態様を示したパワーアンプ（電力増幅部）を示している。ここで図35は各構成層の分解平面図、図36は断面図、図37は等価回路図である。

【0131】図35~37において、パワーアンプは、構成層300a~300eが積層された積層体の上に形成、配置されたコンデンサ、インダクタ、半導体、レジスタ等の電子部品361と、この構成層300a~300e中およびその上下面に形成されている導体パターン313, 315を有する。このパワーアンプは図37に示すような等価回路により構成されているため、ストリップラインL11~L17、コンデンサC11~C20、信号線、半導体への電源ラインなどを有する。このため、それぞれの機能に適した材料で構成層を形成するのが効果的である。

【0132】この例では、構成層の少なくともいずれかには、少なくとも厚みが2~40 μ mであるガラスクロスレス構成層を有する。この構成層には、さらに、電気特性や磁気特性を調整するために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。また、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

【0133】特に、コンデンサ構成層300a~300eに上記ガラスクロスレス構成層を用いることで、構成

層の厚みを極端に薄くすることができ、パワーアンプをより小型にすることができる。

【0134】この場合、ストリップラインを構成する構成層300d, 300eには誘電正接が0.0075~0.025、比誘電率が2.6~40の構成層を用いることが好ましい。コンデンサ構成層300a~300cには、誘電正接が0.0025~0.025、比誘電率が5~40となるような構成層を用いることが好ましい。

【0135】そして、これらの構成層300a~300eの表面には、内部導体313、GND導体315等が形成されている。また、それぞれの内部導体はビアホール314により上下に接続され、表面にはマウントされた電子部品361が搭載されて図37の等価回路に示すようなパワーアンプが形成される。

【0136】このように構成することにより、それぞれの機能に適した誘電率、Q、誘電正接とすることができ、高性能化、小型、薄型化が可能となる。

【0137】<実施例14>図38~図40は、本発明の第14の実施態様を示した光ピックアップなどに使用される重畳モジュールを示している。ここで図38は各構成層の分解平面図、図39は断面図、図40は等価回路図である。

【0138】図38~40において、重畳モジュールは、構成層400a~400kが積層された積層体の上に形成、配置されたコンデンサ、インダクタ、半導体、レジスタ等の電子部品461と、この構成層400a~400k中およびその上下面に形成されている導体パターン413, 415を有する。この重畳モジュールは図40に示すような等価回路により構成されているため、インダクタL21, L23、コンデンサC21~C27、信号線、半導体への電源ラインなどを有する。このため、それぞれの機能に適した材料で構成層を形成するのが効果的である。

【0139】この例では、構成層400a~400kの少なくともいずれかには、少なくとも厚みが2~40 μ mであるガラスクロスレス構成層を有する。この構成層には、さらに、電気特性や磁気特性を調整するために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。また、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

【0140】特に、コンデンサ構成層400d~400hに上記ガラスクロスレス構成層を用いることで、構成層の厚みを極端に薄くすることができ、重畳モジュールをより小型にすることができる。

【0141】この場合、コンデンサ構成層400d~400hには、誘電正接が0.0075~0.025、比誘電率が10~40となるような構成層を用いることが好

10

20

30

40

50

ましい。インダクタを構成する構成層 400a~400c、400j~400k には誘電正接が 0.0025~0.0075、比誘電率が 2.6~5.0 となるような構成層を用いることが好ましい。

【0142】そして、これらの構成層 400a~400k の表面には、内部導体 413、GND 導体 415 等が形成されている。また、それぞれの内部導体はビアホール 414 により上下に接続され、表面にはマウントされた電子部品 461 が搭載されて図 40 の等価回路に示すような重畳モジュールが形成される。

【0143】このように構成することにより、それぞれの機能に適した誘電率、Q、誘電正接とすることができ、高性能化、小型、薄型化が可能となる。

【0144】<実施例 15>図 41~図 44 は、本発明の第 15 の実施態様を示した RF モジュールを示している。ここで図 41 は斜視図、図 42 は外装部材を外した状態での斜視図、図 43 は各構成層の分解斜視図、図 44 は断面図である。

【0145】図 41~44 において、RF モジュールは、構成層 500a~500i が積層された積層体の上に形成、配置されたコンデンサ、インダクタ、半導体、レジスタ等の電子部品 561 と、この構成層 500a~500i 中およびその上下面に形成されている導体パターン 513、515、572 と、アンテナパターン 573 を有する。この RF モジュールは、上記のようにインダクタ、コンデンサ、信号線、半導体への電源ラインなどを有する。このため、それぞれの機能に適した材料で構成層を形成するのが効果的である。

【0146】この例では、構成層 500a~500i の少なくともいずれかには、少なくとも厚みが 2~40 μ m であるガラスクロスレス構成層を有する。この構成層には、さらに、電気特性や磁気特性を調整するために誘電体粉、磁性体粉が含有されていてもよく、場合によっては難燃剤が含まれていてもよい。全ての構成層が同一材料で形成されている必要はなく、異なる材料により形成された構成層を組み合わせてもよい。また、部品強度を向上させるため、その一部にガラスクロスを用いてもよい。

【0147】特に、コンデンサ構成層 500e~500f に上記ガラスクロスレス構成層を用いることで、構成層の厚みを極端に薄くすることができ、RF モジュールをより小型にすることができる。

【0148】この場合、アンテナ構成、ストリップライン構成および配線層 500a~500d、500g は、0.0025~0.0075、比誘電率が 2.6~5.0 の構成層を用いることが好ましい。コンデンサ構成層 500e~500f には、誘電正接が 0.0075~0.025、比誘電率が 10~40 となるような構成層を用いることが好ましい。電源ライン層 500h~500i には、透磁率が 3~20 となるような構成層を用い

ることが好ましい。

【0149】そして、これらの構成層 500a~500i の表面には、内部導体 513、GND 導体 515、アンテナ導体 573 等が形成されている。また、それぞれの内部導体はビアホール 514 により上下に接続され、表面にはマウントされた電子部品 561 が搭載されて RF モジュールが形成される。

【0150】このように構成することにより、それぞれの機能に適した誘電率、Q、誘電正接とすることができ、高性能化、小型、薄型化が可能となる。

【0151】本発明は、上記に例示した電子部品以外に、上記同様の手法で、コモンモードフィルタ、EMC フィルタ、電源用フィルタ、パルスストラングス、チョークコイル、DC-DC コンバータ、ディレイライン、アンテナスイッチモジュール、アンテナフロントエンドモジュール、アイソレータ・パワーアンプモジュール、PLL モジュール、フロントエンドモジュール、チューナーユニット、方向性結合器、ダブルバランスドミキサ（DBM）、電力合成器、電力分配器、PTC サーミスタ等に応用することができる。

【0152】

【発明の効果】以上のように本発明によれば、従来の基板よりも薄型化が可能で、高性能、しかもハンドリング時の強度的な問題も生じない積層電子部品を提供することができる。

【図面の簡単な説明】

【図 1】本発明の電子部品の構成例であるインダクタを示す図である。

【図 2】本発明の電子部品の構成例であるインダクタを示す図である。

【図 3】本発明の電子部品の構成例であるインダクタを示す図である。

【図 4】本発明の電子部品の構成例であるインダクタを示す図である。

【図 5】本発明の電子部品の構成例であるインダクタを示す図である。

【図 6】本発明の電子部品の構成例であるインダクタを示す図である。

【図 7】本発明の電子部品の構成例であるインダクタを示す図である。

【図 8】本発明の電子部品の構成例であるインダクタを示す図である。

【図 9】本発明の電子部品の構成例であるインダクタを示す図である。

【図 10】本発明の電子部品の構成例であるインダクタを示す等価回路図である。

【図 11】本発明の電子部品の構成例であるキャパシタを示す図である。

【図 12】本発明の電子部品の構成例であるキャパシタを示す図である。

10

20

30

40

50

【図 13】本発明の電子部品の構成例であるキャパシタを示す図である。

【図 14】本発明の電子部品の構成例であるキャパシタを示す等価回路図である。

【図 15】本発明の電子部品の構成例であるバルントランスを示す図である。

【図 16】本発明の電子部品の構成例であるバルントランスを示す図である。

【図 17】本発明の電子部品の構成例であるバルントランスを示す図である。

【図 18】本発明の電子部品の構成例であるバルントランスを示す等価回路図である。

【図 19】本発明の電子部品の構成例である積層フィルタを示す図である。

【図 20】本発明の電子部品の構成例である積層フィルタを示す図である。

【図 21】本発明の電子部品の構成例である積層フィルタを示す等価回路図である。

【図 22】本発明の電子部品の構成例である積層フィルタの伝達特性を示す図である。

【図 23】本発明の電子部品の構成例である積層フィルタを示す図である。

【図 24】本発明の電子部品の構成例である積層フィルタを示す図である。

【図 25】本発明の電子部品の構成例である積層フィルタを示す等価回路図である。

【図 26】本発明の電子部品の構成例である積層フィルタの伝達特性を示す図である。

【図 27】本発明の電子部品の構成例であるカブラを示す図である。

【図 28】本発明の電子部品の構成例であるカブラを示す図である。

【図 29】本発明の電子部品の構成例であるカブラを示す図である。

【図 30】本発明の電子部品の構成例であるカブラの内部結線を示す図である。

【図 31】本発明の電子部品の構成例であるカブラの等価回路を示す図である。

【図 32】本発明の電子部品の構成例である VCO を示す図である。

【図 33】本発明の電子部品の構成例である VCO を示す図である。

【図 34】本発明の電子部品の構成例である VCO を示

す等価回路図である。

【図 35】本発明の電子部品の構成例であるパワーアンプを示す図である。

【図 36】本発明の電子部品の構成例であるパワーアンプを示す図である。

【図 37】本発明の電子部品の構成例であるパワーアンプを示す等価回路図である。

【図 38】本発明の電子部品の構成例である重畳モジュールを示す図である。

10 【図 39】本発明の電子部品の構成例である重畳モジュールを示す図である。

【図 40】本発明の電子部品の構成例である重畳モジュールを示す等価回路図である。

【図 41】本発明の電子部品の構成例である RF モジュールを示す図である。

【図 42】本発明の電子部品の構成例である RF モジュールを示す図である。

【図 43】本発明の電子部品の構成例である RF モジュールを示す図である。

20 【図 44】本発明の電子部品の構成例である RF モジュールを示す図である。

【図 45】本発明の積層電子部品の構成層の形成例を示す工程図である。

【図 46】本発明の積層電子部品の構成層の形成例を示す工程図である。

【符号の説明】

10 インダクタ

10 a ~ 10 e 構成層

11 ランドパターン

30 12 貫通ビア

13 内部導体（コイルパターン）

14 ビアホール

20 キャパシタ

20 a ~ 20 g 構成層

21 ランドパターン

22 貫通ビア

23 内部導体（内部電極パターン）

40 バルントランス

40 a ~ 40 o 構成層

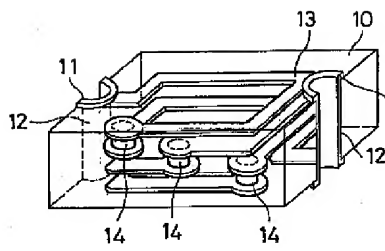
40 45 GND 導体

43 内部導体

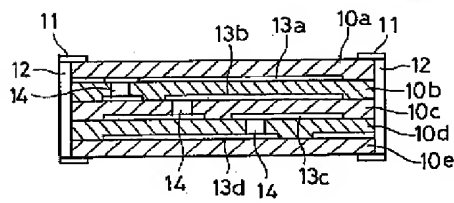
60 積層フィルター

110 カブラ

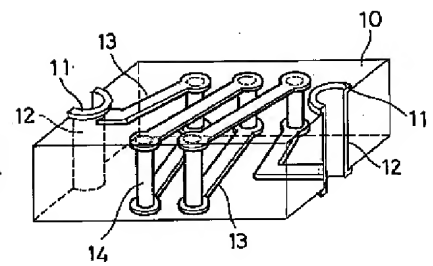
【図1】



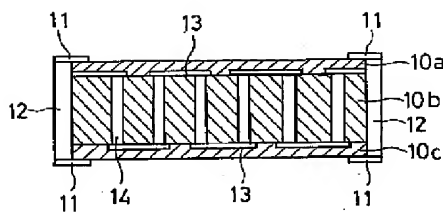
【図2】



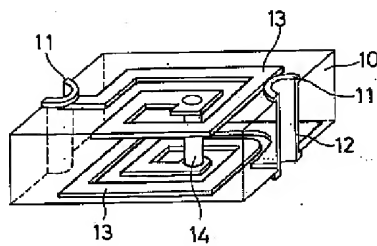
【図3】



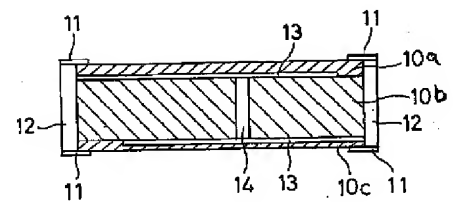
【図4】



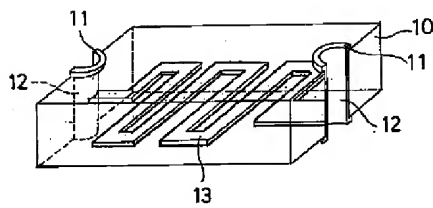
【図5】



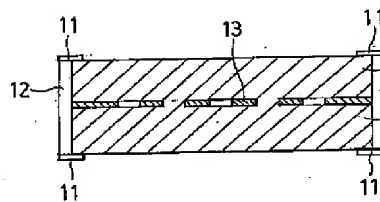
【図6】



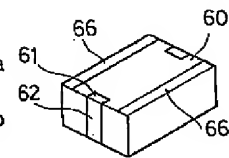
【図7】



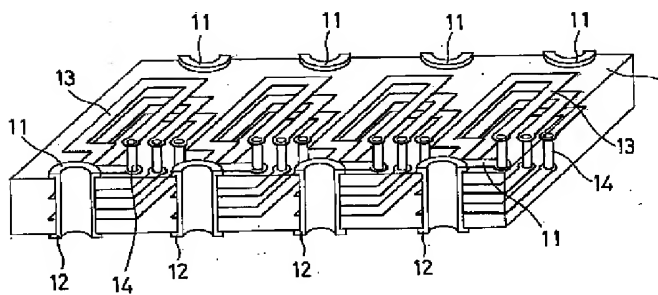
【図8】



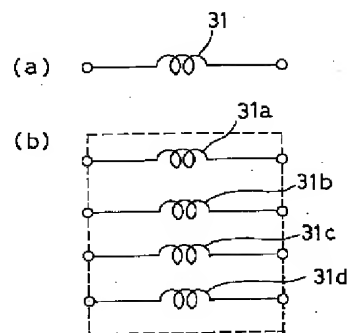
【図9】



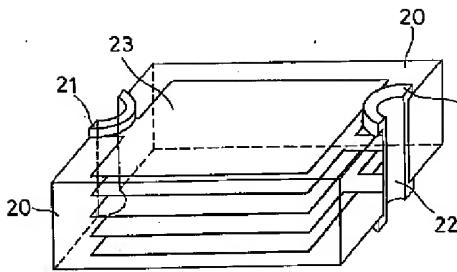
【図9】



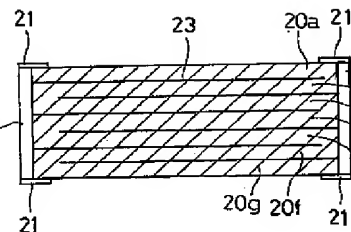
【図10】



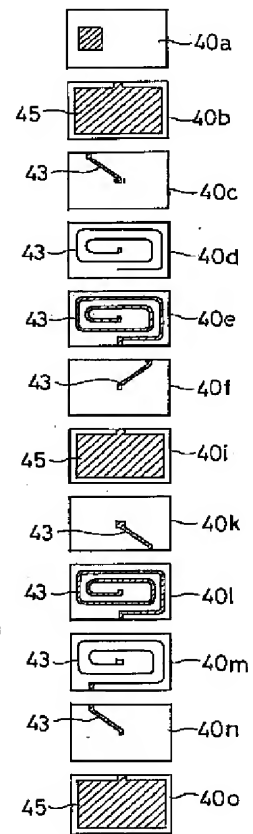
【図 11】



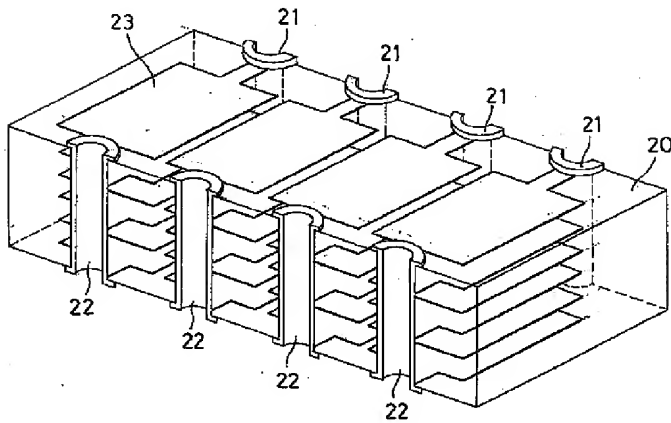
【図 12】



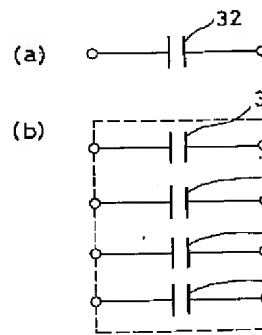
【図 17】



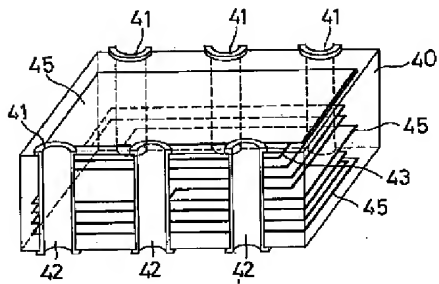
【図 13】



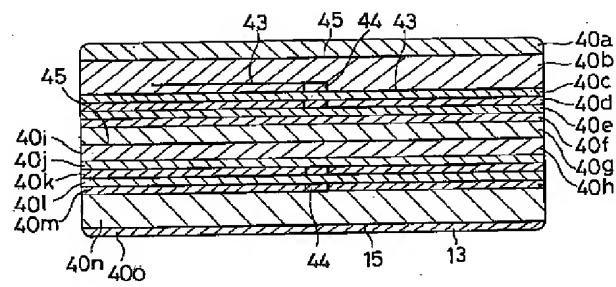
【図 14】



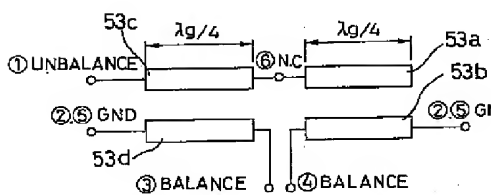
【図 15】



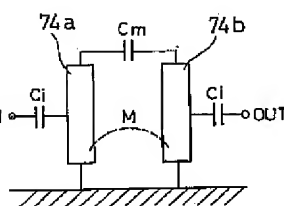
【図 16】



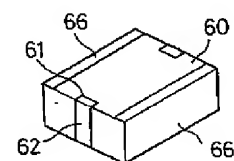
【図 18】



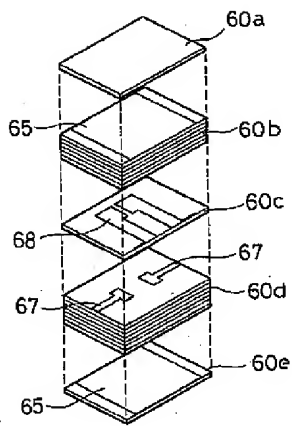
【図 21】



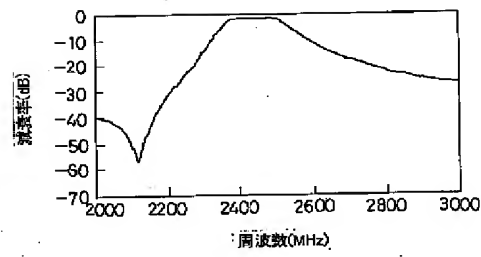
【図 23】



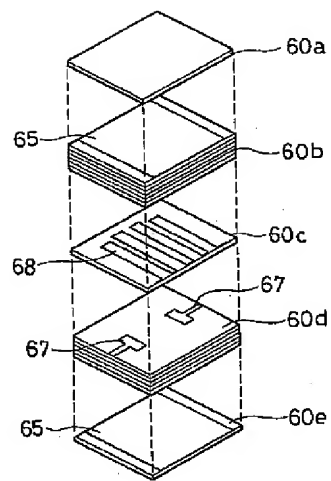
【図 20】



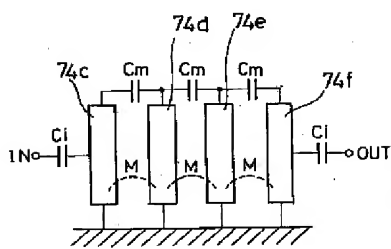
【図 22】



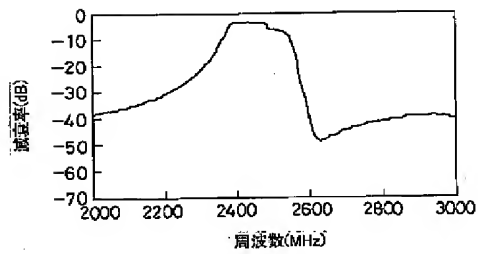
【図 24】



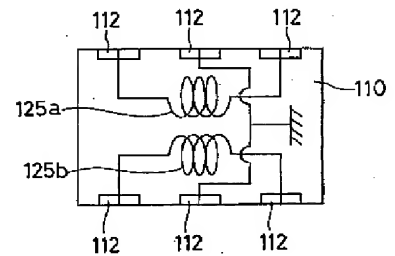
【図 25】



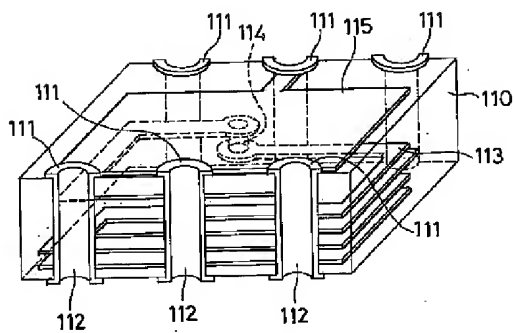
【図 26】



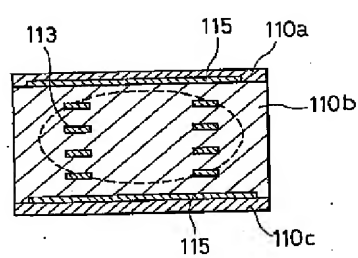
【図 30】



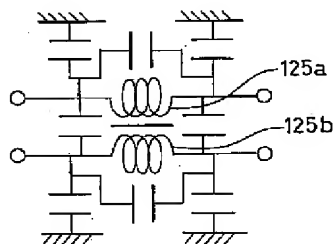
【図 27】



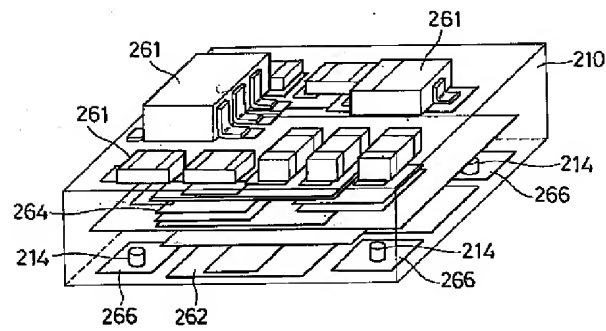
【図 28】



【図 31】



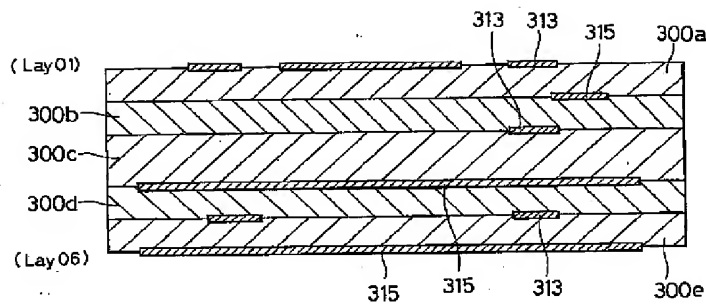
【図 3 2】



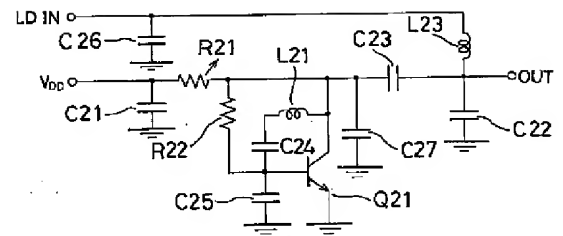
The diagram shows a two-stage amplifier circuit. The input stage is a differential pair with two input transistors. The input signal IN is applied to the base of the left transistor. The bases are biased by a common-emitter stage consisting of a resistor network connected to $V+$ and ground. The emitters of the input transistors are connected to a common emitter resistor, which is in turn connected to ground through a resistor and a capacitor. The output of the input stage is taken from the collector of the right transistor, which is connected to $V+$ through a resistor and to ground through a capacitor. The output stage is a common-emitter configuration with a single transistor. Its base is biased by a resistor network connected to $V+$ and ground. The emitter is connected to ground through a resistor and a capacitor. The output of the circuit is taken from the collector, which is connected to $V+$ through a resistor and to ground through a capacitor. The output signal is labeled OUT .

A cross-sectional view of a semiconductor device. The device consists of a substrate with multiple layers labeled 210a through 210g. Layer 210a is the topmost layer, followed by 210b, 210c, 210d, 210e, 210f, and 210g at the bottom. Various components are shown on top of the substrate layers: 261 (a series of rectangular blocks), 262 (a horizontal layer), 263 (a horizontal layer), 265 (a vertical structure), and 266 (a horizontal layer at the base). The layers 210a through 210g are separated by horizontal lines, and the components are labeled with their respective reference numerals.

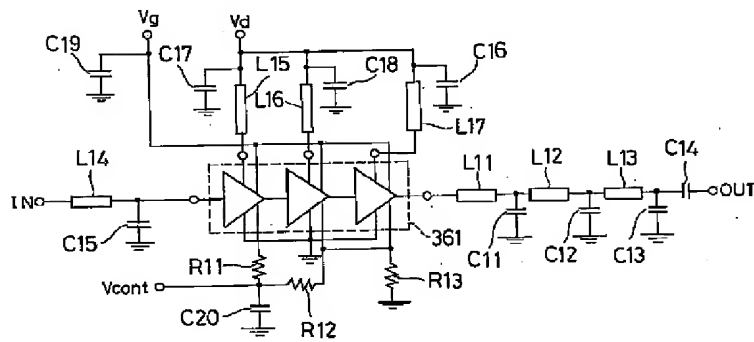
【図36】



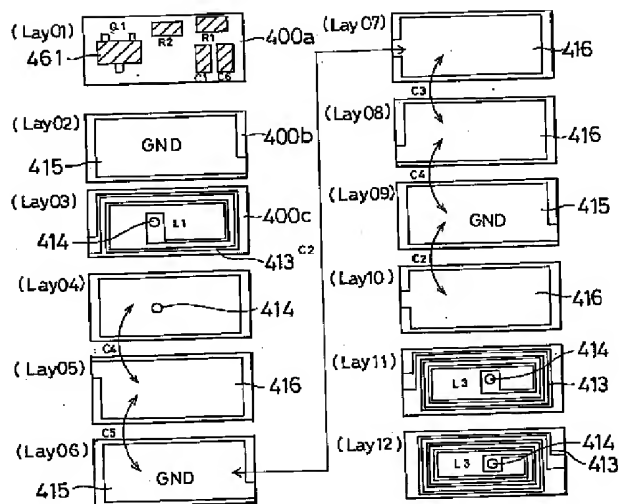
【図40】



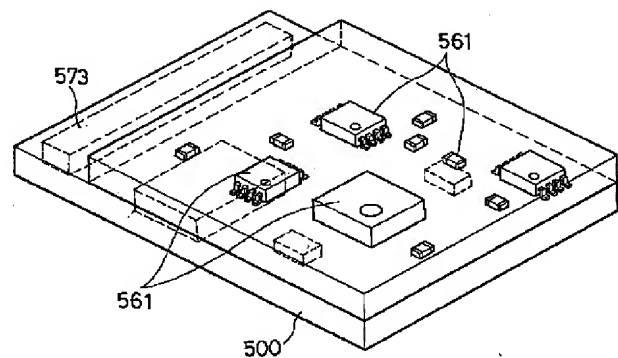
【図37】



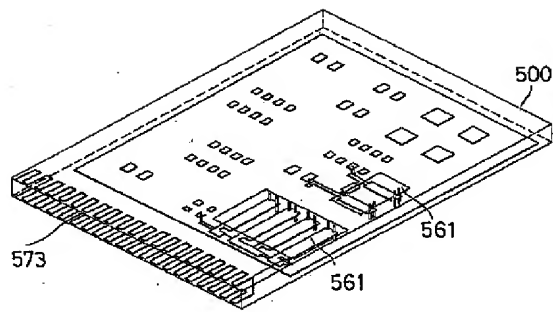
【図38】



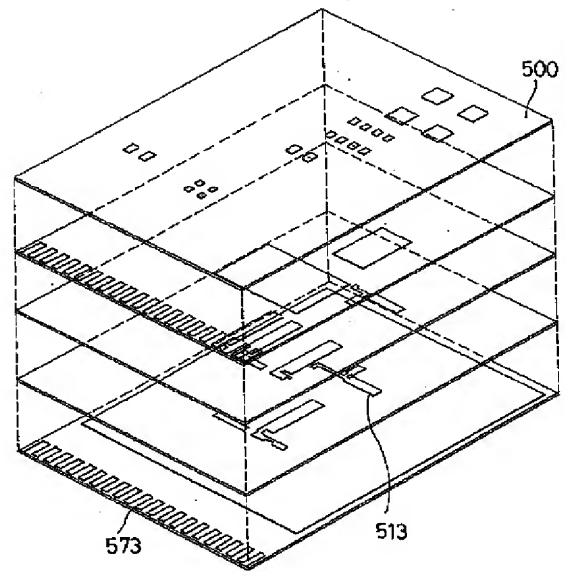
【図41】



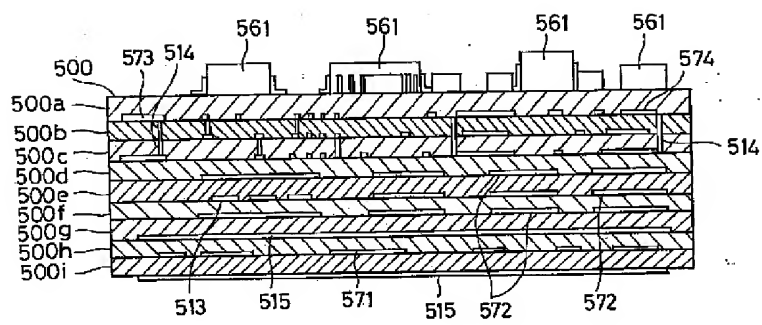
【図 42】



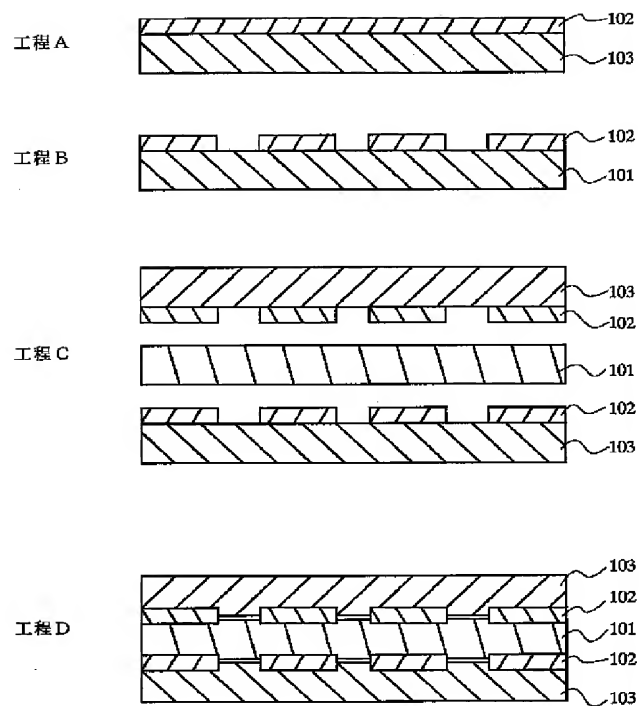
【図 43】



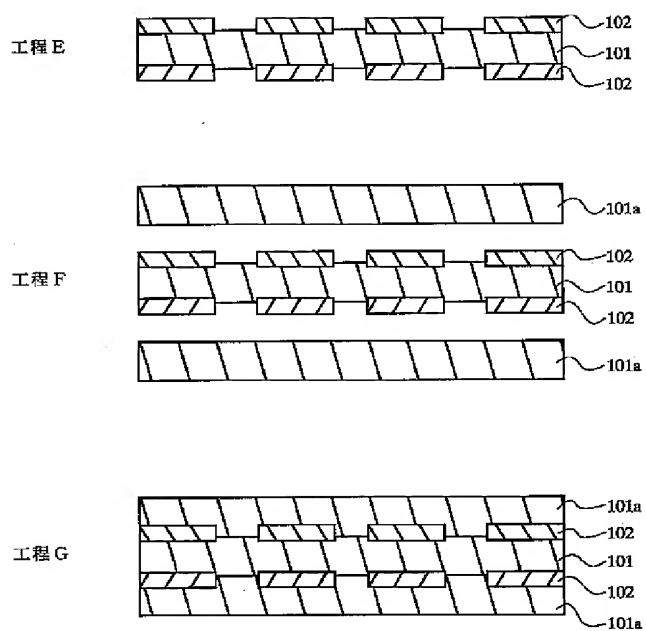
【図 44】



【図45】



【図46】



フロントページの続き

F ターム(参考) 5E070 AA01 AA05 AA16 AB10 BA11
 BB03 BB10 CB02 CB12 CB13
 CB17
 5E082 AA01 AB03 BC21 BC39 FF14
 FG26 FG34 PP09
 5E346 AA12 AA13 AA22 AA51 CC08
 CC21 DD01 DD02 EE09 GG28
 HH11